

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-244144

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

H04L 7/08

(21)Application number : 04-043597

(71)Applicant : CASIO COMPUT CO LTD
SOGO TSUSHIN ENG KK

(22)Date of filing : 28.02.1992

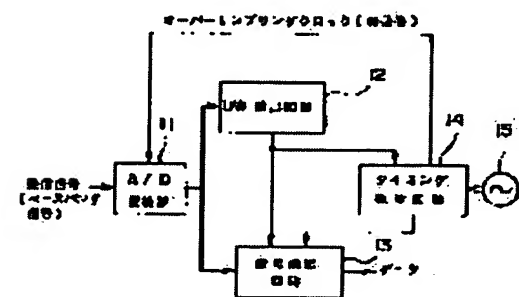
(72)Inventor : KAWANAKA KENJI
KORI TAKEJI

(54) TIMING EXTRACTING METHOD AND BURST SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To simplify the constitution and to increase the working speed of a circuit which detects the timing in a signal processing circuit which receives at least the data signal and the burst signal including the unique word signal precedent to the data signal and then demodulates these signals.

CONSTITUTION: This circuit is provided with a unique word signal detecting circuit 12 for detecting the unique word signal out of the received signals based on the correlation between the received and unique word signals, a timing generating circuit 14 which outputs the timing signal synchronous with the clock of the received signal, and a signal detecting circuit 13 which detects the data signal with the timing signal outputted from the circuit 14.



When the unique word signal is detected, the circuit 12 resets the circuit 14 to set the optimum output timing of the timing signal and also to start the signal detecting operation of the circuit 13.

対応なし、英抄

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-244144

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.⁵

H 0 4 L 7/08

識別記号

庁内整理番号

C 7928-5K

F I

技術表示箇所

審査請求 未請求 請求項の数4(全 6 頁)

(21)出願番号 特願平4-43597

(22)出願日 平成4年(1992)2月28日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(71)出願人 592046493

総合通信エンジニアリング株式会社

東京都千代田区内幸町1-1-2

(72)発明者 川中 健二

東京都羽村市栄町3丁目2番1号 カシオ

計算機株式会社羽村技術センター内

(72)発明者 郡 武治

東京都千代田区内幸町1-1-2 総合通

信エンジニアリング株式会社内

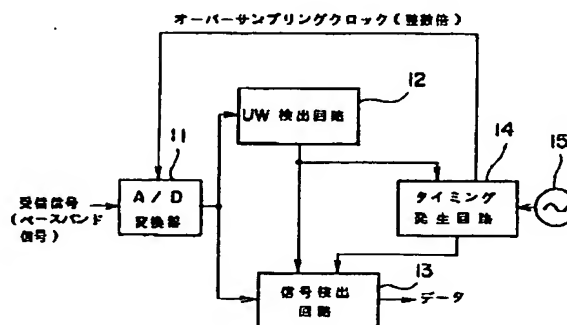
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 タイミング抽出方法及びバースト信号処理回路

(57)【要約】

【目的】少なくともデータ信号とこのデータ信号に前置されたユニークワード信号とを含むバースト信号を受信し復調する信号処理回路において、タイミング検出を行なう回路の簡略化と高速化を図る。

【構成】受信信号とユニークワード信号との相関により受信信号中のユニークワード信号を検出するユニークワード信号検出回路12と、受信信号のクロックに同期したタイミング信号を出力するタイミング発生回路14と、このタイミング発生回路14から出力されるタイミング信号によりデータ信号を検出する信号検出回路13とを備え、ユニークワード信号検出回路12はユニークワード信号を検出したときにタイミング発生回路14をリセットしてタイミング信号の出力タイミングを最適設定すると共に信号検出回路13の信号検出動作を開始させる。



【特許請求の範囲】

【請求項1】 受信信号中のユニークワード信号が前置されたデータ信号を復調するための信号検出タイミングを抽出するタイミング抽出方法であって、受信信号とユニークワード信号との相関をとり、両信号が一致したときにタイミング発生回路から所定周期で出力される信号検出タイミング信号の初期位相を設定して最適信号検出タイミングを抽出することを特徴としたタイミング抽出方法。

【請求項2】 少なくともデータ信号とこのデータ信号に前置されたユニークワード信号とを含むバースト信号を受信し復調する信号処理回路において、受信信号とユニークワード信号との相関により該受信信号中のユニークワード信号を検出するユニークワード信号検出回路と、受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、このタイミング発生回路から出力されるタイミング信号により前記データ信号を検出する信号検出回路とを具備し、前記ユニークワード信号検出回路はユニークワード信号を検出したときに前記タイミング発生回路をリセットして前記タイミング信号の出力タイミングを最適設定すると共に前記信号検出回路の信号検出動作を開始させることを特徴としたバースト信号処理回路。

【請求項3】 前記ユニークワード信号検出回路は、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するレジスタと、このレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンとの相関をとり一致検出信号を出力する一致検出手段とを有することを特徴とした請求項2記載のバースト信号処理回路。

【請求項4】 上記ユニークワード信号検出回路は、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するシフトレジスタと、このシフトレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンが一致した際に出力電圧が最大となる抵抗を用いた電圧合成回路で両者の相関を検出する一致検出手段と、この一致検出手段から出力される電圧信号のレベルが所定レベル以上であるときに一致検出信号を出力する出力手段とを有することを特徴とした請求項2記載のバースト信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、受信信号、特にバースト信号を復調するためのタイミングを抽出するタイミング抽出方法及びこの方法を使用したバースト信号処理回路に関する。

【0002】

【従来の技術】 最近のデジタル通信、特にデジタル無線

通信における信号伝送方式の多くは、受信局がバースト状の信号（以下「バースト信号」と称する）を受信する方式である。このため、送信局が送信する信号は、送信内容であるデータ信号の前に、ビット同期をとるためのプリアンプル信号と該データ信号の先頭の明示あるいはフレーム同期をとるためのユニークワード信号を付加した構成となっている。

【0003】このような方式のバースト信号を受信して復調する受信局では、従来、プリアンプル信号によりビット同期をとり、ユニークワード信号によりデータ信号の先頭位置を検知した後、ビット同期のとれたタイミング信号でデータ信号を復調するようになっていた。

【0004】

【発明が解決しようとする課題】 しかして上記受信局では、ユニークワード信号の検出回路とは別にタイミング発生回路の基準クロックの位相をバースト信号の先頭に付加されているプリアンプル信号の位相に同期させて定常状態に引き込むPLL同期回路をタイミング発生回路に付加あるいは内蔵させておかなければならず、復調タイミング抽出回路及び復調回路の構成が複雑となるという欠点があった。

【0005】本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、回路構成が簡単で、且つ高速化を図ることが可能なタイミング抽出方法及びバースト信号処理回路を提供することにある。

【0006】

【課題を解決するための手段及び作用】 すなわち本発明は、受信信号中のユニークワード信号が前置されたデータ信号を復調するための信号検出タイミングを抽出するタイミング抽出方法であって、受信信号とユニークワード信号との相関をとり、両信号が一致したときにタイミング発生回路から所定周期で出力される信号検出タイミング信号の初期位相を設定して最適信号検出タイミングを抽出するようにしたもので、この方法に基づく回路は構成が簡単なものでありながらランダムに到来するバースト信号のタイミング検出を即時に行なうことができる。

【0007】また本発明は、少なくともデータ信号とこのデータ信号に前置されたユニークワード信号とを含むバースト信号を受信し復調する信号処理回路において、受信信号とユニークワード信号との相関により該受信信号中のユニークワード信号を検出するユニークワード信号検出回路と、受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、このタイミング発生回路から出力されるタイミング信号により前記データ信号を検出する信号検出回路とを備え、前記ユニークワード信号検出回路はユニークワード信号を検出したときに前記タイミング発生回路をリセットして前記タイミング信号の出力タイミングを最適設定すると共に前記信号検出回路の信号検出動作を開始させるようにした

もので、簡単な回路構成でタイミング抽出とユニークワード信号検出とを同時に行なうことが可能となる。

【0008】さらに本発明は、前項のユニークワード信号検出回路において、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するレジスタと、このレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンとの相関をとり一致検出信号を出力する一致検出手段とを有するようにしたもので、ユニークワード信号検出回路の回路構成を簡単とし、且つ、ユニークワード信号の検出処理を高速化できる。

【0009】また本発明は、前々項のユニークワード信号検出回路において、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するシフトレジスタと、このシフトレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンが一致した際に出力電圧が最大となる抵抗を用いた電圧合成回路で両者の相関を検出する一致検出手段と、この一致検出手段から出力される電圧信号のレベルが所定レベル以上であるときに一致検出信号を出力する出力手段とを有するようにしたもので、ユニークワード信号検出回路の回路構成をより簡単とし、且つ、ユニークワード信号の検出を高速化できる。

【0010】

【実施例】以下図面を参照して本発明の一実施例を説明する。

【0011】図1は基本的な回路構成を示すもので、ベースバンドに復調された受信信号はA/D変換器11へ入力され、ここでタイミング発生回路14からのサンプリングクロックに従ってサンプリングし、デジタル化され

る。

【0012】この場合、タイミング発生回路14からA/D変換器11へ入力されるサンプリングクロックは、受信信号のクロックの周波数を整数倍、例えば「2」倍したものであり、このA/D変換器11で得たデジタル化された受信信号はユニークワード（図では「UW」と示す）検出回路12と信号検出回路13へ送出される。

【0013】ユニークワード検出回路12は、その詳細は後述するが、A/D変換器11から送られてくる信号と既知の信号であるユニークワードとの相関を一致検出することによりバースト信号の先頭に付されているユニークワード信号の検出を行なうもので、その検出信号を上記信号検出回路13及びタイミング発生回路14へ出力する。

【0014】タイミング発生回路14は、発振回路15からの基準クロックにより上述したサンプリングクロックと受信信号のクロックと同一周期の信号検出タイミング信号とを生成して出力する回路で、ユニークワード検出回路12からの検出信号を受けると少なくとも信号検出タイミング信号の出力タイミングをリセットして最適タイミングに設定し、受信信号中のユニークワードに続くデー

タ信号の検出を最適タイミングで実行すべく位相訂正された信号検出タイミング信号を信号検出回路13へ出力する。

【0015】信号検出回路13は、上記ユニークワード検出回路12からの検出信号により信号検出動作を開始し、上記タイミング発生回路14からのタイミング信号によりA/D変換器11から送られてくるデータ信号の検出を行ない、これにより得たデータを次段の処理回路（図示せず）へ出力する。なお、信号検出回路13における「信号検出動作の開始」は、信号検出タイミング信号により検出されたデータを有意のデータとして出力する意味である。次いで上記ユニークワード検出回路12内の詳細な回路構成について図2を用いて説明する。

【0016】同図で21はA/D変換器11からの信号を順次シフトしながら保持するシフトレジスタであり、ユニークワードのビット長に上記タイミング発生回路14の出力するオーバーサンプリングクロックの受信信号クロックに対する倍数（整数）を乗じたビット数だけの容量を有する。

【0017】ここでは、上記オーバーサンプリングクロックの受信信号クロックに対する倍数は「2」であるので、「ユニークワードのビット長×2」の容量を有するものとする。シフトレジスタ21に保持される各ビットの出力はビットパターン変換部22でパターン変換される。

【0018】このビットパターン変換部22は、ちょうどシフトレジスタ21にユニークワードが保持された状態でそのビット出力をすべて同一の論理レベル、例えば論理「1」レベルとすべく、ユニークワード中の論理「0」レベルの該当ビット位置にインバータを挿入配置したもので、同図ではユニークワードの下位から2ビット目が論理「0」レベルであるものとして、その該当ビット位置にインバータ22a、22bを挿入した例を示す。

【0019】しかし、ビットパターン変換部22でパターン変換されたシフトレジスタ21の内容がそれぞれ抵抗回路23を介して電圧合成され、コンパレータ24の入力端と一端を接地した抵抗25の他端とに接続される。コンパレータ24にはまた、判定レベル電圧 V_D が入力されており、その比較出力がユニークワード検出回路12の検出結果として次段の上記タイミング発生回路14及び信号検出回路13へ送出される。次いで上記実施例の動作について説明する。

【0020】受信信号として図3（1）に示すようなバースト信号がされると、その受信信号はA/D変換器11でタイミング発生回路14からのサンプリングクロックにより受信信号クロックの2倍のサンプリング周波数でオーバーサンプリングされ、順次2値化されてユニークワード検出回路12と信号検出回路13へ送出される。

【0021】ユニークワード検出回路12においては、A/D変換器11から送られてくる2値化された受信信号をシフトレジスタ21でシフトしながら保持するもので、バ

ースト信号の先頭に付されているユニークワードが徐々にシフトレジスタ21に保持されていく。

【0022】そして、ユニークワードがすべてシフトレジスタ21に保持されると、その時点でビットパターン変換部22を介して全ビットが共に“1”レベルとなり、抵抗回路23の電圧合成によりコンパレータ24への入力端子電圧がピーク値となって図3(2)に示すように判定レベル電圧 V_D を超える。したがってコンパレータ24からは図3(3)に示すようにパルス状の信号が出力され、これがユニークワードの検出信号としてタイミング発生回路14及び信号検出回路13へ与えられる。

【0023】タイミング発生回路14では、ユニークワード検出回路12からの検出信号に基づいて信号検出回路13へ出力するタイミング信号の出力タイミングをリセットし、内部回路を初期化してあらためてユニークワードに続くデータ信号の信号検出タイミングを最適設定する。

【0024】信号検出回路13は、ユニークワード検出回路12からの検出信号を受けて信号検出動作を開始し、このタイミング発生回路からのタイミング信号に同期してA/D変換器11から送られてくるデータ信号を検出し、検出したデータを次段の処理回路(図示せず)へ順次出力する。

【0025】上記のようにランダムに到来するバースト信号のタイミング抽出とユニークワードの検出を同時に行なう回路を簡単な回路で構成し、且つ、ユニークワードの相関検出をアナログデバイスで構成するようにしたこと、回路の簡易化と信号処理の高速化を図ることが可能となる。

【0026】なお、上記実施例ではA/D変換器11が受信信号を2値で量子化し、1ビットで符号化した場合を示したが、4値で量子化し、2ビットで符号化する場合には、図4に示すように上記図2の回路を2段構成とし、その上位ビットデータをシフトレジスタ21aへ、下位ビットデータをシフトレジスタ21bへシフト保持させるようにする。この場合、ビットパターン変換部22aから抵抗回路23aを介して電圧合成により得られる電圧値とビットパターン変換部22bから抵抗回路23bを介して電圧合成により得られる電圧値とは、上位ビットと下位ビットの比により値の重みが異なるので、重み付け加算器31にて「上位ビット：下位ビット＝2：1」の比で重み付け加算を行ない、その加算値をコンパレータ24に入力して判定レベル電圧 V_D と比較させるものとする。また、ユニークワードの相関検出は、アナログデバイスを用いた実施例の構成に限定されるものではない。

【0027】

【発明の効果】以上に述べた如く本発明によれば、受信信号中のユニークワード信号が前置されたデータ信号を復調するための信号検出タイミングを抽出するタイミング抽出方法であって、受信信号とユニークワード信号との相関をとり、両信号が一致したときにタイミング発生

回路から所定周期で出力される信号検出タイミング信号の初期位相を設定して最適信号検出タイミングを抽出するようにしたので、簡単な回路構成ながらランダムに到来するバースト信号のタイミング検出を即時に行なうことができる。

【0028】また本発明によれば、少なくともデータ信号とこのデータ信号に前置されたユニークワード信号とを含むバースト信号を受信し復調する信号処理回路において、受信信号とユニークワード信号との相関により該受信信号中のユニークワード信号を検出するユニークワード信号検出回路と、受信信号のクロックと同一周期でタイミング信号を出力するタイミング発生回路と、このタイミング発生回路から出力されるタイミング信号により前記データ信号を検出する信号検出回路とを備え、前記ユニークワード信号検出回路はユニークワード信号を検出したときに前記タイミング発生回路をリセットして前記タイミング信号の出力タイミングを最適設定すると共に前記信号検出回路の信号検出動作を開始させるようにしたので、簡単な回路構成でタイミング抽出とユニークワード信号検出とを同時に行なうことが可能となる。

【0029】さらに本発明によれば、前項のユニークワード信号検出回路において、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するレジスタと、このレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンとの相関をとり一致検出信号を出力する一致検出手段とを有するようにしたので、ユニークワード信号検出回路の回路構成を簡単とし、且つ、ユニークワード信号の検出処理を高速化できる。

【0030】また本発明によれば、前々項のユニークワード信号検出回路において、受信信号を当該受信信号のクロックの整数倍の周期でサンプリングしたデータを入力するシフトレジスタと、このシフトレジスタに蓄積されたデータと前記サンプリング周期に対応したユニークワード信号のビットパターンが一致した際に出力電圧が最大となる抵抗を用いた電圧合成回路で両者の相関を検出する一致検出手段と、この一致検出手段から出力される電圧信号のレベルが所定レベル以上であるときに一致検出信号を出力する出力手段とを有するようにしたので、ユニークワード信号検出回路の構成をより簡単とし、且つ、ユニークワード信号の検出を高速化できる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る回路構成を示すブロック図。

【図2】図1のユニークワード検出回路内の回路構成を示す図。

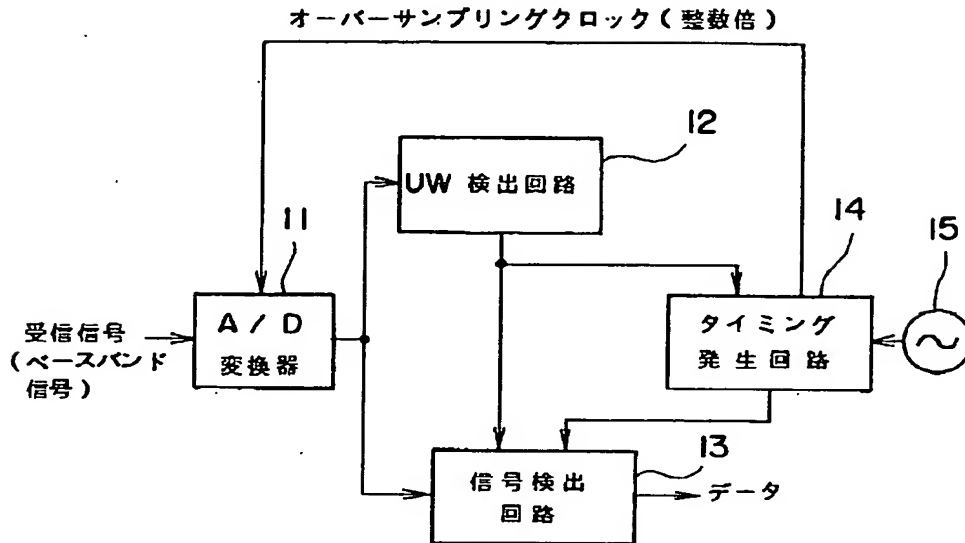
【図3】図2の回路での信号処理状態を示す図。

【図4】図1のユニークワード検出回路内の他の回路構成を例示する図。

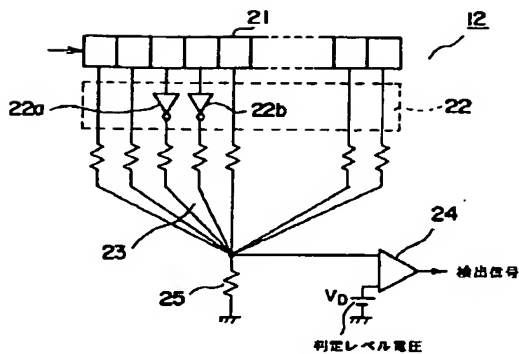
【符号の説明】

11…A/D変換器、12…ユニークワード検出回路、13…信号検出回路、14…タイミング発生回路、15…発振回路、21…シフトレジスタ、22…ビットパターン変換部、* 23…抵抗回路、24…コンパレータ、31…重み付け加算器。

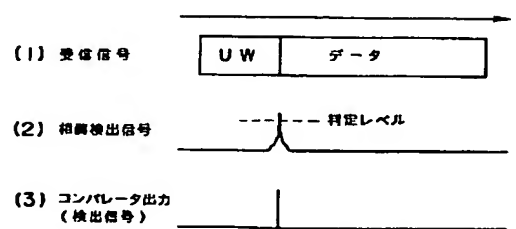
【図1】



【図2】



【図3】



【図4】

